

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the amplifying circuit connected to the secondary coil of the current transformer which has a primary coil and a secondary coil. The current amplification section which amplifies the current which flows to the secondary coil of the aforementioned current transformer based on the induced voltage of the aforementioned secondary coil, and outputs it through the 1st impedance component, The voltage corresponding to the voltage impressed to the 1st impedance component of the above by the aforementioned current amplification section is impressed to the 2nd impedance component. The buffer amplifier which outputs current from this 2nd impedance component, Amplify the current which flows to the primary coil of **** and the aforementioned current transformer, and the amplified current by the ratio according to the ratio of the impedance of the 1st impedance component of the above, and the 2nd impedance component The amplifying circuit characterized by what was constituted so that it might be outputted from the 1st impedance component of the above, and the 2nd impedance component, respectively.

[Claim 2] The aforementioned buffer amplifier is an amplifying circuit according to claim 1 characterized by what it has for the voltage amplification circuit which amplifies the voltage of the voltage of the 1st impedance component of the above, and is impressed to the 2nd impedance component of the above.

[Claim 3] The aforementioned current amplification section is an amplifying circuit according to claim 1 characterized by what the voltage of the impedance element of the above 1st is amplified, it is impressed by the 2nd impedance component of the above, and is served as a part of aforementioned buffer amplifier [at least].

[Claim 4] The 1st NPN form bipolar transistor by which, as for the aforementioned current amplification section, the collector was connected to the positive electrode of DC power supply, the emitter was connected to the end of the secondary coil of the aforementioned current transformer, and the base was connected to the other end of the secondary coil of the aforementioned current transformer, A collector is connected to the negative electrode of the aforementioned DC power supply, and an emitter is connected to the emitter of the NPN bipolar transistor of the above 1st. The base is equipped with the 1st PNP form bipolar transistor connected to the base of the NPN bipolar transistor of the above 1st, and is constituted. the aforementioned buffer amplifier The 2nd NPN form bipolar transistor by which the collector was connected to the positive electrode of the aforementioned DC power supply, and the collector of the NPN form bipolar transistor of the above 1st, and the base was connected to the base of the NPN form bipolar transistor of the above 1st, A collector is connected to the negative electrode of the aforementioned DC power supply, and the collector of the PNP form bipolar transistor of the above 1st. The 2nd PNP form bipolar transistor by which the emitter was connected to the emitter of the NPN form bipolar transistor of the above 2nd, and the base was connected to the base of the PNP form bipolar transistor of the above 1st, **** and the end of the 1st impedance component of the above is connected to the node of the base of the NPN form bipolar transistor of the above 1st, and the base of the PNP form bipolar transistor of the above 1st. The amplifying circuit according to claim 2 to which the

end of the 2nd impedance component of the above is characterized by what was connected to the node of the emitter of the NPN form bipolar transistor of the above 2nd, and the emitter of the PNP form bipolar transistor of the above 2nd.

[Claim 5] The NPN form bipolar transistor by which, as for the aforementioned current amplification section, the collector was connected to the positive electrode of DC power supply, the emitter was connected to the end of the secondary coil of the aforementioned current transformer, and the base was connected to the other end of the secondary coil of the aforementioned current transformer, The PNP form bipolar transistor by which the collector was connected to the negative electrode of the aforementioned DC power supply, the emitter was connected to the emitter of the type bipolar transistor aforementioned [NPN], and the base was connected to the base of the type bipolar transistor aforementioned [NPN], ***** and the end of the 1st impedance component of the above is connected to the node of the base of the type bipolar transistor aforementioned [NPN], and the base of the type bipolar transistor aforementioned [PNP]. The amplifying circuit according to claim 3 to which the end of the 2nd impedance component of the above is characterized by what was connected to the node of the emitter of the type bipolar transistor aforementioned [NPN], and the emitter of the type bipolar transistor aforementioned [PNP].

[Claim 6] The 1st N type field-effect transistor by which, as for the aforementioned current amplification section, the drain was connected to the positive electrode of DC power supply, the source was connected to the end of the secondary coil of the aforementioned current transformer, and the gate was connected to the other end of the secondary coil of the aforementioned current transformer, The 1st P type field-effect transistor by which the drain was connected to the negative electrode of the aforementioned DC power supply, the source was connected to the source of the N type field-effect transistor of the above 1st, and the gate was connected to the gate of the N type field-effect transistor of the above 1st, ***** and, as for the aforementioned buffer amplifier, a drain is connected to the positive electrode of the aforementioned DC power supply, and the drain of the N type field-effect transistor of the above 1st. The 2nd N type field-effect transistor by which the gate was connected to the gate of the N type field-effect transistor of the above 1st, A drain is connected to the negative electrode of the aforementioned DC power supply, and the drain of the P type field-effect transistor of the above 1st. The 2nd P type field-effect transistor by which the source was connected to the source of the N type field-effect transistor of the above 2nd, and the gate was connected to the gate of the P type field-effect transistor of the above 1st, ***** and the end of the 1st impedance component of the above is connected to the node of the gate of the N type field-effect transistor of the above 1st, and the gate of the P type field-effect transistor of the above 1st. The amplifying circuit according to claim 2 to which the end of the 2nd impedance component of the above is characterized by what was connected to the node of the source of the N type field-effect transistor of the above 2nd, and the source of the P type field-effect transistor of the above 2nd.

[Claim 7] The N type field-effect transistor by which, as for the aforementioned current amplification section, the drain was connected to the positive electrode of DC power supply, the source was connected to the end of the secondary coil of the aforementioned current transformer, and the gate was connected to the other end of the secondary coil of the aforementioned current transformer, The P type field-effect transistor by which the drain was connected to the negative electrode of the aforementioned DC power supply, the source was connected to the source of the aforementioned N type field-effect transistor, and the gate was connected to the gate of the aforementioned N type field-effect transistor, ***** and the end of the 1st impedance component of the above is connected to the node of the gate of the aforementioned N type field-effect transistor, and the gate of the aforementioned P type field-effect transistor. The amplifying circuit according to claim 3 to which the end of the 2nd impedance component of the above is characterized by what was connected to the node of the source of the aforementioned N type field-effect transistor, and the source of the aforementioned P type field-effect transistor.

[Claim 8] The 1st impedance component of the above and the 2nd impedance component are an amplifying circuit given in the claim 1 characterized by what is constituted by the capacitor, or any 1

term of 7.

[Claim 9] Noise reduction equipment which reduces the noise spread on the power supply line of the couple for the electric power supplies from the predetermined power supply characterized by providing the following The current transformer which detects the leakage current which leaks from the power supply line of the aforementioned couple to a grounding conductor by using the power supply line of the aforementioned couple as a primary coil An amplifying circuit given in the claim 1 which amplified the current which flows to the primary coil of the aforementioned current transformer, outputted the amplified current from the 1st impedance component of the above, and the 2nd impedance component, respectively by the ratio according to the ratio of the impedance of the 1st impedance component of the above, and the 2nd impedance component, and consisted of aforementioned current transformers so that it might supply in the direction which offsets the aforementioned leakage current to a grounding conductor by the power supply side, or any 1 term of 8

[Claim 10] The aforementioned amplifying circuit is noise reduction equipment according to claim 9 characterized by what is been what amplifies the current which flows to the primary coil of the aforementioned current transformer so that the current value of the current supplied to the aforementioned grounding conductor may turn into current value of the leakage current which the aforementioned current transformer detected.

[Claim 11] The power converter characterized by what it had for noise reduction equipment according to claim 9 or 10 which reduces the noise spread on the power supply line of the couple for the electric power supplies from the aforementioned power supply to the transducer which transforms into the power of predetermined voltage the power supplied from the power supply, and supplies it to a load, and the aforementioned transducer.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-250269

(P2003-250269A)

(43)公開日 平成15年9月5日(2003.9.5)

(51)Int.Cl'

H02M 3/28

識別記号

F I

H02M 3/28

テ-ロ-ト(参考)

H03F 3/18

H03F 3/18

E 5H730

Y 5J092

5J500

審査請求 未請求 請求項の数11 OL (全11頁)

(21)出願番号

特許2002-49302(P2002-49302)

(22)出願日

平成14年2月26日(2002.2.26)

(71)出願人 000106276

サンケン電気株式会社

埼玉県新座市北野3丁目6番3号

(72)発明者 鶴谷 守

埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

(74)代理人 100096407

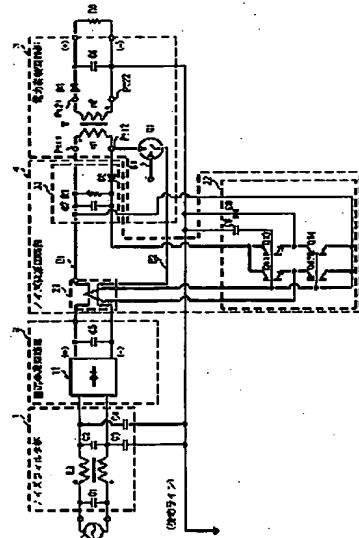
弁理士 木村 誠 (外1名)

最終頁に続く

(54)【発明の名称】 増幅回路、ノイズ低減装置及び電力変換装置

(57)【要約】

【課題】 増幅率を容易に調整できるようにする。

【解決手段】 増幅回路22において、トランジスタQ11、Q12からなる主増幅器と並列にトランジスタQ13、Q14からなる補正増幅器を接続する。補償回路は、コンデンサC8、C9を介して接地ラインへと流れ、コンデンサC8、C9のインピーダンスを、それぞれ、r1、r2とすると、増幅回路22の利得は、 $(1 + r1/r2)$ となる。従って、このコンデンサC8、C9のインピーダンスの比を調整することにより、増幅率を容易に調整することができる。

(2)

特開2003-250269

1

2

【特許請求の範囲】

【請求項1】1次巻線と2次巻線とを有する変流器の2次巻線に接続される増幅回路であって、

前記変流器の2次巻線に流れる電流を、前記2次巻線の誘起電圧に基づいて増幅し、第1のインピーダンス素子を介して出力する電流増幅部と、

前記電流増幅部により前記第1のインピーダンス素子に印加される電圧に対応する電圧を第2のインピーダンス素子に印加して、該第2のインピーダンス素子から電流を出力するバッファ増幅部と、を備え、

前記変流器の1次巻線に流れる電流を増幅し、増幅した電流が、前記第1のインピーダンス素子と第2のインピーダンス素子とのインピーダンスの比に応じた比率で、前記第1のインピーダンス素子と第2のインピーダンス素子とからそれぞれ出力されるように構成されたことを特徴とする増幅回路。

【請求項2】前記バッファ増幅部は、前記第1のインピーダンス素子の電圧を電圧増幅して前記第2のインピーダンス素子に印加する電圧増幅回路を備える、ことを特徴とする請求項1に記載の増幅回路。

【請求項3】前記電流増幅部は、前記第1のインピーダンス素子の電圧を増幅して前記第2のインピーダンス素子に印加し、前記バッファ増幅部の少なくとも一部を兼ねる、

ことを特徴とする請求項1に記載の増幅回路。

【請求項4】前記電流増幅部は、

コレクタが直流電源の正極に接続され、エミッタが前記変流器の2次巻線の一端に接続され、ベースが前記変流器の2次巻線の他端に接続された第1のNPN形バイポーラトランジスタと、コレクタが前記直流電源の負極に接続され、エミッタが前記第1のNPN形バイポーラトランジスタのエミッタに接続され、ベースが前記第1のNPN形バイポーラトランジスタのベースに接続された第1のPNP形バイポーラトランジスタと、

コレクタが前記直流電源の負極に接続され、エミッタが前記第1のNPN形バイポーラトランジスタのエミッタに接続され、ベースが前記第1のNPN形バイポーラトランジスタのベースに接続された第2のNPN形バイポーラトランジスタと、

コレクタが前記直流電源の負極と前記第1のNPN形バイポーラトランジスタのコレクタとに接続され、ベースが前記第1のNPN形バイポーラトランジスタのベースに接続された第2のNPN形バイポーラトランジスタと、コレクタが前記直流電源の負極と前記第1のPNP形バイポーラトランジスタのコレクタとに接続され、エミッタが前記第2のNPN形バイポーラトランジスタのエミッタに接続され、ベースが前記第1のPNP形バイポーラトランジスタのベースに接続された第2のPNP形バイポーラトランジスタと、

を備えて構成され、

前記バッファ増幅部は、

コレクタが前記直流電源の正極と前記第1のNPN形バイポーラトランジスタのコレクタとに接続され、ベースが前記第1のNPN形バイポーラトランジスタのベースに接続された第2のNPN形バイポーラトランジスタと、

コレクタが前記直流電源の負極と前記第1のPNP形バイポーラトランジスタのコレクタとに接続され、エミッタが前記第2のNPN形バイポーラトランジスタのエミッタに接続され、

ベースが前記第1のPNP形バイポーラトランジスタのベースに接続された第2のPNP形バイポーラトランジスタと、

コレクタが前記直流電源の負極と前記第1のPNP形バイポーラトランジスタのコレクタとに接続され、エミッタが前記第2のPNP形バイポーラトランジスタのエミッタに接続され、

ベースが前記第1のPNP形バイポーラトランジスタのベースに接続された第2のPNP形バイポーラトランジスタと、

を備えて構成され、

前記第1のインピーダンス素子の一端が前記第1のNPN形バイポーラトランジスタのゲートと前記第1のPNP形バイポーラトランジスタのゲートとの接続点に接続され、

N形バイポーラトランジスタのベースと前記第1のPNP形バイポーラトランジスタのベースとの接続点に接続され、

前記第2のインピーダンス素子の一端が前記第2のNPN形バイポーラトランジスタのエミッタと前記第2のPNP形バイポーラトランジスタのエミッタとの接続点に接続された、

ことを特徴とする請求項2に記載の増幅回路。

【請求項5】前記電流増幅部は、

コレクタが直流電源の正極に接続され、エミッタが前記変流器の2次巻線の一端に接続され、ベースが前記変流器の2次巻線の他端に接続されたNPN形バイポーラトランジスタと、

コレクタが前記直流電源の負極に接続され、エミッタが前記NPN形バイポーラトランジスタのエミッタに接続され、ベースが前記NPN形バイポーラトランジスタのベースに接続されたPNP形バイポーラトランジスタと、

を備えて構成され、

前記第1のインピーダンス素子の一端が前記NPN形バイポーラトランジスタのベースと前記PNP形バイポーラトランジスタのベースとの接続点に接続され、

前記第2のインピーダンス素子の一端が前記NPN形バイポーラトランジスタのエミッタと前記PNP形バイポーラトランジスタのエミッタとの接続点に接続された、

ことを特徴とする請求項3に記載の増幅回路。

【請求項6】前記電流増幅部は、

ドレインが直流電源の正極に接続され、ソースが前記変流器の2次巻線の一端に接続され、ゲートが前記変流器の2次巻線の他端に接続された第1のN形電界効果トランジスタと、

ドレインが前記直流電源の負極に接続され、ソースが前記第1のN形電界効果トランジスタのソースに接続され、ゲートが前記第1のN形電界効果トランジスタのゲートに接続された第2のN形電界効果トランジスタと、

ドレインが前記直流電源の負極と前記第1のN形電界効果トランジスタのドレインとに接続され、ゲートが前記第1のN形電界効果トランジスタのゲートに接続された第2のN形電界効果トランジスタと、

ドレインが前記直流電源の負極と前記第1のPNP形バイポーラトランジスタのドレインとに接続され、ソースが前記第2のN形電界効果トランジスタのソースに接続され、ゲートが前記第1のPNP形バイポーラトランジスタのゲートに接続された第2のPNP形バイポーラトランジスタと、

を備えて構成され、

前記第1のインピーダンス素子の一端が前記第1のN形電界効果トランジスタのゲートと前記第1のPNP形バイポーラトランジスタのゲートとの接続点に接続され、

(3)

特開2003-250269

3

前記第2のインピーダンス素子の一端が前記第2のN形電界効果トランジスタのソースと前記第2のP形電界効果トランジスタのソースとの接続点に接続されたことを特徴とする請求項2に記載の増幅回路。

【請求項7】前記電流増幅部は、ドレインが直流電源の正極に接続され、ソースが前記変流器の2次巻線の一端に接続され、ゲートが前記変流器の2次巻線の他端に接続されたN形電界効果トランジスタと、

ドレインが前記直流電源の負極に接続され、ソースが前記N形電界効果トランジスタのソースに接続され、ゲートが前記N形電界効果トランジスタのゲートに接続されたP形電界効果トランジスタと、を備えて構成され、

前記第1のインピーダンス素子の一端が前記N形電界効果トランジスタのゲートと前記P形電界効果トランジスタのゲートとの接続点に接続され、

前記第2のインピーダンス素子の一端が前記N形電界効果トランジスタのソースと前記P形電界効果トランジスタのソースとの接続点に接続されたことを特徴とする請求項3に記載の増幅回路。

【請求項8】前記第1のインピーダンス素子と第2のインピーダンス素子とは、コンデンサによって構成されたものである、ことを特徴とする請求項1乃至7のいずれか1項に記載の増幅回路。

【請求項9】所定の電源からの電力供給用の一対の電源線に伝播するノイズを低減するノイズ低減装置であつて、

前記一対の電源線を1次巻線として、前記一対の電源線から接地線に漏れる漏れ電流を検出する変流器と、

前記変流器の1次巻線に流れる電流を増幅し、増幅した電流を、前記第1のインピーダンス素子と第2のインピーダンス素子とのインピーダンスの比に応じた比率で、前記第1のインピーダンス素子と第2のインピーダンス素子とからそれぞれ出力して、前記変流器よりも電源側で、接地線に、前記漏れ電流を相殺する方向に供給するように構成された請求項1乃至8のいずれか1項に記載の増幅回路と、を備えた。

ことを特徴とするノイズ低減装置。

【請求項10】前記増幅回路は、前記接地線に供給する電流の電流値が前記変流器が検出した漏れ電流の電流値となるように前記変流器の1次巻線に流れる電流を増幅するものである。

ことを特徴とする請求項9に記載のノイズ低減装置。

【請求項11】電源からの供給された電力を、所定の電圧の電力を交換して負荷に供給する交換部と、

前記電源から前記交換部への電力供給用の一対の電源線に伝播するノイズを低減する請求項9又は10に記載のノイズ低減装置と、を備えた。

4

ことを特徴とする電力変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、増幅回路、ノイズ低減装置及び電力変換装置に關し、特に増幅率の容易な調整を可能とする技術に関する。

【0002】

【従来の技術】モータに電力を供給するインバータ、コンピュータに電圧を供給するスイッチングレギュレータ等の電力変換装置は、所定の電源から供給された電力を、所定の電圧の電力に変換して負荷に供給する。

【0003】かかる電力変換装置では、スイッチング素子をオン、オフすることにより電力変換を行うため、スイッチング素子のスイッチングによるスイッチングノイズが発生する。このスイッチングノイズの周波数は、非常に高いため、広域で減衰特性の大きなノイズフィルタが要求される。また、回路内には、対地間の浮遊容量を含む静電容量が存在し、この静電容量を介して、スイッチング素子のスイッチングによるノイズが高周波の漏れ電流となって接地ラインに流れれる。この漏れ電流が接地ラインに流れると、電力変換装置のフレーム（管体）の電圧レベルが変動する。

【0004】特に、前述のインバータを介して電力容量の大きなモータが電力変換装置に接続されている場合、対地間の浮遊容量は大きくなり、それだけ、漏れ電流も大きくなる。この漏れ電流が大きいと、漏電ブレーカを遮断させたり、周辺の電子機器に妨害を与えることになる。

【0005】このようなノイズを低減するため、漏れ電流を相殺する方向に接地ラインに補償電流を供給する。

【0006】この方法を図10に基づいて説明する。尚、この図10において、コンデンサC51、C52は、それぞれ、負荷の静電容量、コモンモードノイズ用のコンデンサに相当し、ダイオードD51は整流回路に相当し、スイッチSWはスイッチング素子に相当するものである。

【0007】また、漏れ電流I_{s1}、I_{s2}は、それぞれ、スイッチSWのスイッチングにより交流電源50から流入する漏れ電流、電力変換装置内で伝播する漏れ電流を示す。

【0008】ノイズを低減する方法としては、2つの方法が考えられる。第1の方法は、図10(a)に示すように、漏れ電流I_{s1}を検出し、その検出電流を増幅器AMPで増幅し、この増幅した補償電流I_rを、漏れ電流I_{s1}を相殺する方向に、コンデンサC52を介して接地ラインに供給する方法である。

【0009】この方法によれば、容積変流器51を補償電流I_rの注入点aよりも交流電源50側に配置して漏れ電流I_{s1}を検出する。第1の方法では、次の式(1)が成り立つようになる。

54

特關2003-250269

5

〔教1〕 $A_1 \times (s_1 + r) = s_1 + 0 \cdots \cdots (1)$
 但し、 A_1 ：第1の方法を用いた場合の増幅器AMPの
 増幅率

図51：漏れ電流 I_{s1}の電流値

! r: 德威電流! rの電流值

従って、信頼電流 I_r の信頼値 α_r は、次式 (2) によって表される。

【數2】： $r = (1 - 1/A) \times 151 \cdots \cdots (2)$

〔0010〕第2の方法は、図10(b)に示すように、漏れ電流 I_{52} を検出し、その検出電流に基づいて検電流 I_r を第1の方法と同じように接地ラインに供給する方法である。

〔0011〕この方法によれば、零相変流器 5_1 を漏れ電流 I_r の注入点 a よりもスイッチ SW 側に配置して漏れ電流 I_s2 を検出する。第2の方法を用いた場合、次の式(3)が成り立つようになる。

$$[数3] : s1 - A2 \times i \ r = 0 \cdots \cdots (3)$$

但し、A2: 第2の方法を用いた場合の増幅器AMPの
増幅率

従って、循環電流 I_r の電流値 i_r は、次式 (4) によって表される。

$$[数4] : r = (1/A_2) \times s_1 \cdots (4)$$

〔0012〕この式(4)が示すように、第2の方法を用いて、漏電流*I*₁を補償電流*I*₂で相殺するためには、増幅器AMPの増幅率*A*₂を正確に1にしなくてはならない。従来の電力変換装置では、この増幅器AMPの増幅率*A*₂を正確に1にすることが困難であるため、一般的には、第1の方法が用いられる(特開平9-266677号公報等参照)。

[0013]

【発明が解決しようとする課題】しかし、第1の方法を用いると、式(2)に示すように、漏れ電流 I_s を補償電流 I_r で相殺するためには、増幅器AMPの増幅率 A_1 を大きくしなければならない。

【0014】このため、位相偏倚を正確に行わなければならず、増幅器AMPが発振し易くなるといった不都合が生ずる。

【0015】一方、第2の方法を用いた場合、増幅器AMPの増幅率A2を大きくする必要はない。しかし、第2の方法を用いた場合、前述のように、零相交流器51の利得を1にして、増幅率A2を正確に1にしなくてはならない。

【0016】このため、零相変流器51の巻数を増やして調整できるようにしなければならず。零相変流器51が大型となってしまい、また、増幅器AMPも精度の高いものを用いる必要があるため、高価なものになってしまふ。

【0017】本発明は、このような従来の問題点に鑑みてなされたもので、増幅率の容易な調整を可能とする増幅回路、ノイズ低減装置及び電力交換装置を提供すること

とを目的とする。

[0018]

【課題を解決するための手段】この目的を達成するため、本発明の第1の觀点に係る增幅回路は、1次巻線と2次巻線とを有する変流器の2次巻線に接続される増幅回路であつて、前記変流器の2次巻線に流れる電流を、前記2次巻線の試起電圧に基づいて増幅し、第1のインピーダンス素子を介して出力する匝流増幅部と、前記匝流増幅部により前記第1のインピーダンス素子に印加される電圧に対応する電圧を第2のインピーダンス素子に印加して、該第2のインピーダンス素子から匝流を出力するバッファ増幅部と、を備え、前記変流器の1次巻線に流れる匝流を増幅し、増幅した匝流が、前記第1のインピーダンス素子と第2のインピーダンス素子とのインピーダンスの比に応じた比率で、前記第1のインピーダンス素子と第2のインピーダンス素子とからそれぞれ出力されるように構成されたものである。

〔0019〕前記バッファ増幅部は、前記第1のインピーダンス素子の電圧を倍圧増幅して前記第2のインピーダンス素子に印加する倍圧増幅回路を備えたものであつてもよい。

【0020】前記電流増幅部は、前記第1のインピーダンス素子の匝数を増幅して前記第2のインピーダンス素子に印加し、前記バッファ増幅部の少なくとも一部を兼ねるようにしてもよい。

【10021】前記電流増幅部は、コレクタが直流水電源の正極に接続され、エミッタが前記交流器の2次巻線の一端に接続され、ベースが前記交流器の2次巻線の他端に接続された第1のNPN形バイポーラトランジスタと、

30 コレクタが前記直流電源の負極に接続され、エミッタが前記第1のNPN形バイポーラトランジスタのエミッタに接続され、ベースが前記第1のNPN形バイポーラトランジスタのベースに接続された第1のPNP形バイポーラトランジスタと、を直列に接続され、前記バッファ増幅部は、コレクタが前記直流電源の正極と前記第1のNPN形バイポーラトランジスタのコレクタとに接続され、ベースが前記第1のNPN形バイポーラトランジスタのベースに接続された第2のNPN形バイポーラトランジスタと、コレクタが前記直流電源の負極と前記第1のPNP形バイポーラトランジスタのコレクタとに接続され、エミッタが前記第2のNPN形バイポーラトランジスタのエミッタに接続され、ベースが前記第1のPNP形バイポーラトランジスタのベースに接続された第2のPNP形バイポーラトランジスタと、を直列に接続され、前記第1のインピーダンス素子の一端が前記第1のNPN形バイポーラトランジスタのベースと前記第1のPNP形バイポーラトランジスタのベースとの接続点に接続され、前記第2のインピーダンス素子の一端が前記第2のNPN形バイポーラトランジスタのエミッタと前記第2のPNP形バイポーラトランジスタのエミッタと

(5)

特開2003-250269

7

の接続点に接続されて増幅回路が構成されるようにしてよい。

【0022】前記電流増幅部は、コレクタが直流電源の正極に接続され、エミッタが前記交流器の2次巻線の一端に接続され、ベースが前記交流器の2次巻線の他端に接続されたNPN形バイポーラトランジスタと、コレクタが前記直流電源の負極に接続され、エミッタが前記NPN形バイポーラトランジスタのエミッタに接続され、ベースが前記NPN形バイポーラトランジスタのベースに接続されたPNP形バイポーラトランジスタと、を備えて構成され、前記第1のインピーダンス素子の一端が前記NPN形バイポーラトランジスタのベースと前記PNP形バイポーラトランジスタのエミッタとの接続点に接続されて増幅回路が構成されるようにしてよい。

【0023】前記電流増幅部は、ドレンが直流電源の正極に接続され、ソースが前記交流器の2次巻線の一端に接続され、ゲートが前記交流器の2次巻線の他端に接続された第1のN形電界効果トランジスタと、ドレンが前記直流電源の負極に接続され、ソースが前記第1のN形電界効果トランジスタのソースに接続され、ゲートが前記第1のN形電界効果トランジスタのゲートに接続された第1のP形電界効果トランジスタと、を備えて構成され、前記バッファ増幅部は、ドレンが前記直流電源の正極と前記第1のN形電界効果トランジスタのドレンとに接続され、ゲートが前記第1のN形電界効果トランジスタのゲートに接続された第2のN形電界効果トランジスタと、ドレンが前記直流電源の負極と前記第1のP形電界効果トランジスタのドレンとに接続され、ソースが前記第2のN形電界効果トランジスタのソースに接続され、ゲートが前記第1のP形電界効果トランジスタのゲートに接続された第2のP形電界効果トランジスタと、を備えて構成され、前記第1のインピーダンス素子の一端が前記第1のN形電界効果トランジスタのゲートと前記第1のP形電界効果トランジスタのゲートとの接続点に接続され、前記第2のインピーダンス素子の一端が前記第2のN形電界効果トランジスタのソースと前記第2のP形電界効果トランジスタのソースとの接続点に接続されて増幅回路が構成されるようにしてよい。

【0024】前記電流増幅部は、ドレンが直流電源の正極に接続され、ソースが前記交流器の2次巻線の一端に接続され、ゲートが前記交流器の2次巻線の他端に接続されたN形電界効果トランジスタと、ドレンが前記直流電源の負極に接続され、ソースが前記N形電界効果トランジスタのソースに接続され、ゲートが前記N形電界効果トランジスタのゲートに接続されたP形電界効果トランジスタと、を備えて構成され、前記第1のインピーダンス素子の一端が前記N形電界効果トランジスタのソースと前記P形電界効果トランジスタのゲートとの接続点に接続され、前記第2のインピーダンス素子の一端が前記P形電界効果トランジスタのソースと前記N形電界効果トランジスタのゲートとの接続点に接続されて増幅回路が構成されるようにしてよい。

【0025】前記第2のインピーダンス素子の一端が前記N形電界効果トランジスタのゲートと前記P形電界効果トランジスタのゲートとの接続点に接続され、前記第2のインピーダンス素子の一端が前記N形電界効果トランジスタのソースと前記P形電界効果トランジスタのソースとの接続点に接続されて増幅回路が構成されるようにしてよい。

【0026】前記第1のインピーダンス素子と第2のインピーダンス素子とは、コンデンサによって構成されたものであってよい。

【0027】本発明の第2の観点に係るノイズ低減装置は、所定の電源からの電力供給用の一対の電源線に伝播するノイズを低減するノイズ低減装置であって、前記一対の電源線を1次巻線として、前記一対の電源線から接地線に漏れる漏れ電流を検出する変流器と、前記変流器の1次巻線に流れる電流を増幅し、増幅した電流を、前記第1のインピーダンス素子と第2のインピーダンス素子とのインピーダンスの比に応じた比率で、前記第1のインピーダンス素子と第2のインピーダンス素子とからそれぞれ出力して、前記変流器よりも電源側で、接地線に、前記漏れ電流を相殺する方向に供給するように構成された増幅回路と、を備えたものである。

【0028】前記増幅回路は、前記接地線に供給する電流の電流値が前記変流器が検出した漏れ電流の電流値となるように前記変流器の1次巻線に流れる電流を増幅するものであってよい。

【0029】本発明の第3の観点に係る電力変換装置は、電源からの供給された電力を、所定の電圧の電力に変換して負荷に供給する変換部と、前記電源から前記変換部への電力供給用の一対の電源線に伝播するノイズを低減するノイズ低減装置と、を備えたものである。

【0030】【発明の実施の形態】以下、本発明の実施の形態に係る電力変換装置を図面を参照して説明する。本実施の形態に係る電力変換装置の構成を図1に示す。電力変換装置は、ノイズフィルタ部1と、整流平滑回路部2と、電力変換回路部3と、ノイズ低減回路部4と、を備えて構成されている。

【0031】ノイズフィルタ部1は、コンデンサC1、C2、C3、C4と、チャーフコイルし1と、を備えている。コンデンサC1、C2は、ノーマルモードノイズを減衰させるアクロスザライコンデンサであり、交流電源5の一対の電源線の間に接続されている。コンデンサC3、C4は、コモンモードノイズを低減させるためのコンデンサであり、1対の電源線のそれぞれと接地ラインとの間に接続されている。

【0032】チャーフコイルし1は、コモンモードノイズを減衰させるコモンモードチャーフコイルであり、それぞれ、巻き方向を同じにして交流電源5の1対の電源線のそれぞれに直列に接続されている。

【0033】整流平滑回路部2は、整流回路1.1と、コ

(6)

特開2003-250269

9

ンデンサC5と、からなる。整流回路11は、交流電源5から供給された交流電圧を整流するものであり、1対の電源線に接続されている。この整流回路11は、例えば、4つのダイオードからなるブリッジ整流回路によって構成されている。

【0033】コンデンサC5は、整流回路11から出力された整流電圧の脈流を平滑化するためのコンデンサであり、整流回路11の出力端に接続されている。

【0034】電力変換回路部3は、所定の直流電力を所定の電圧の直流電力に変換し、直流電圧を負荷R0に供給するものであり、トランジストと、スイッチング素子Q1と、ダイオードD1と、コンデンサC6と、を備え、ライバックコンバータを構成している。

【0035】トランジストは、1次側の電力を2次側へ伝達するためのものであり、1次巻線n1と2次巻線n2とを備えている。1次巻線n1は、スイッチング電流によって電圧を発生させ、トランジストに励起エネルギーを生成するための巻線であり、2次巻線n2は、1次巻線n1で生成された励起エネルギーで電圧を発生させるための巻線である。1次巻線n1の一端Pt11は、コンデンサC5の正極(+)の端子に接続されている。2次巻線n2は、1次巻線n1と逆極性となるように、1次巻線n1とは逆方向に巻かれている。

【0036】スイッチング素子Q1は、信号S1が供給されて、トランジストの1次巻線n1に流れる電流をスイッチングしてトランジストの1次巻線n1に電圧を誘起させるための素子であり、トランジストの1次巻線n1の他端Pt12とコンデンサC5の負極(−)の端子との間に接続されている。図示しない制御部は、このスイッチング素子Q1にパルス状の信号S1を供給し、固定発振に基づいてPWM制御を行うことにより、出力電圧を安定化させる。

【0037】ダイオードD1は、スイッチング素子Q1がオンするオン期間では、電流の流れを阻止し、オフ期間では、2次巻線n2に発生した電圧から電流を整流するためのダイオードである。

【0038】コンデンサC6は、オフ期間において、ダイオードD1を通過した電流を平滑化して直流電圧を生成するためのものであり、ダイオードD1のカソード及び出力端子(+)と、出力端子(−)との間に接続されている。電力変換回路部3は、生成した直流電圧を負荷R0に供給する。

【0039】ノイズ低減回路部4は、ノイズを低減するための回路部であり、零相変流器21と、増幅回路22と、ダイオードスナバ回路23と、を備えて構成されている。

【0040】零相変流器21は、漏れ電流を検出するものであり、その等価回路を図2(a)に示す。図2(a)に示す1次巻線n11は、1対の電源線、すなわち、ラインE1とE2との巻線を表したものである。

10

【0041】零相変流器21の2次巻線の端子P3及びP4のいずれか一方は、トランジスタQ11～Q14のベースに接続され、もう一方は、トランジスタQ11、Q12のエミッタに接続される。

【0042】漏れ電流がラインE1、E2に流れると、ラインE1、E2間に電流の差が生じる。零相変流器21は、この電流の差を検出することにより漏れ電流を検出する。

【0043】零相変流器21は、磁芯21aと2次巻線n12とを備える図2(b)に示す普通形変流器21bに、図2(c)に示すようにラインE1、E2を磁芯21aに巻き回して構成される。

【0044】零相変流器21の1次巻線n11には、ラインE1とE2とに流れる電流の差として1次電流I1が流れ、2次巻線n12には、1次電流I1に基づいて電流I2が誘起される。2次巻線n12の巻き方向は、この誘起電流I2が漏れ電流を相殺する方向に、接地ラインに流れるように設定される。

【0045】増幅回路22は、零相変流器21の2次巻線n12で発生した誘起電流を増幅し、増幅した電流を信号電流として、接地ラインに、漏れ電流を相殺する方向に供給するものであり、トランジスタQ11～Q14と、コンデンサC8、C9と、を備えている。

【0046】増幅回路22は、図3に示すように、主増幅器22aと補正増幅器22bとを備えて構成される。主増幅器22aは、トランジスタQ11、12からなり、電流増幅器として作用する。補正増幅器22bは、トランジスタQ13、14からなり、電圧増幅器として作用する。

【0047】トランジスタQ11、Q13は、NPN形のバイポーラトランジスタである。トランジスタQ11、Q13のコレクタは、ともにコンデンサC7の正極(+)に接続されている。

【0048】トランジスタQ12、Q14は、PNP形のバイポーラトランジスタである。トランジスタQ12、Q14のエミッタは、それぞれトランジスタQ11、Q13のエミッタに接続され、コレクタはともにコンデンサC7の負極(−)に接続されている。

【0049】コンデンサC8は、信号電流を接地ラインに供給するためのコンデンサであり、トランジスタQ11～Q14のベースと接地ラインとの間に接続されている。

【0050】コンデンサC9は、増幅率を調整するためのコンデンサであり、トランジスタQ13のエミッタ及びトランジスタQ14のエミッタと、接地ラインとの間に接続されている。

【0051】ダイオードスナバ回路23は、コンデンサC7と抵抗R1とダイオードD2とを備えている。ダイオードD2のアノードは、トランジストの端子Pt12に接続されている。コンデンサC7と抵抗R1とは、とも

(7)

特開2003-250269

11

に、トランストの端子P t11とダイオードD 2のカソードとの間に接続されている。

【0052】次に本実施の形態に係る電力変換装置の動作を図4に基づいて説明する。スイッチング素子Q 1には、図4(a)に示すような信号S 1が供給される。信号S 1がハイレベルになると、スイッチング素子Q 1はオンし、信号S 1がローレベルになると、スイッチング素子Q 1はオフする。時刻t 0～t 1がスイッチング素子Q 1のオン期間であり、時刻t 1～t 2がスイッチング素子Q 1のオフ期間である。

【0053】スイッチング素子Q 1がオン、オフすることにより、トランストの1次巻線n 1に流れる電流がスイッチングされ、トランストの1次巻線n 1に電圧が発生する。

【0054】オン期間では、トランストの1次側においては、図4(b)に示すように、スイッチング素子Q 1に印加される電圧V q1は、ほぼ零となり、スイッチング素子Q 1には、図4(c)に示すような電流I q1が流れ

る。

【0055】トランストの2次側においては、トランストの2次巻線n 2が、1次巻線n 1と逆極性になっているので、ダイオードD 1が電流が流れるのを阻止し、2次巻線n 2は、開放状態となる。このオン期間でトランストに励磁エネルギーが蓄積される。トランストの1次巻線n 1には、図4(d)に示すような電圧V v2が印加される。

【0056】オフ期間では、スイッチング素子Q 1に印加される電圧V q1は、図4(e)に示すように、コンデンサC 5の充電電圧よりも高くなり、スイッチング素子Q 1に流れる電流I q1は、図4(f)に示すようだ、零となる。

【0057】また、トランストの2次側においては、ダイオードD 1が導通し、トランストは、蓄積した励磁エネルギーを放出し、この励磁エネルギーに基づいて2次巻線n 2からダイオードD 1を介してコンデンサC 6に、図4(g)に示すような電流I v2が流れ。電流I v2は、電流I q1の最大電流値に基づいて、トランストの1次巻線n 1と2次巻線n 2との巻数比に反比例した比率で流れ出し、励磁エネルギーを放出しながら減少し、トランストが蓄積した励磁エネルギーを全て放出した時刻でその電流値は0になる。

【0058】尚、オフ期間において、トランストのインダクタンスと配線によるインダクタンスとにより、図4(b)に示すような電圧V q1、図4(d)に示すような電圧V v2には、スパイク電圧が重畠する。ダイオードスナバ回路23は、このスパイク電圧の電圧レベルを低下させる。

【0059】ダイオードD 2は、トランスト及び配線のインダクタンス分で生ずるスパイク電圧を整流し、コンデンサC 7は、整流した電圧を蓄え、抵抗R 1は、コン

12

デンサC 7に蓄えられた電流を消費する。このような作用を有するダイオードスナバ回路23は、コンデンサC 7に蓄えられた電力を增幅回路22に供給する。

【0060】コンデンサC 6は、ダイオードD 1によって整流された電流I dを平滑化する。これにより、直流電圧が生成され、電力変換回路部3は、生成した直流電圧を負荷R 0に供給する。

【0061】スイッチング素子Q 1がスイッチングすることにより、電力変換装置の回路内の対地間のコンデンサC 3、C 4を経由して接地ラインに、図4(f)に示すような漏れ電流I sが流れ。このことが、コモンモードノイズの発生の要因である。

【0062】零相交流器21の1次巻線に1次電流(ラインE 1、E 2の電流)が流れると、2次巻線に誘起電流が流れ。

【0063】正の半サイクルにおいては、この誘起電流が分流してトランジスタQ 11、Q 13のベースに誘起電流がベース電流として流れ。誘起電流が流れることによってトランジスタQ 11、Q 13のエミッタの電位は上昇する。また、誘起電流がトランジスタQ 11、Q 13のベースに流れることによってトランジスタQ 11、Q 13のベースの電位も上昇する。トランジスタQ 11、Q 13の増幅率が1よりも充分大きく、漏れ電流I sと同じ電流値の電流が增幅回路22にて生成される。

【0064】負の半サイクルにおいては、トランジスタQ 12、Q 14の回路が、トランジスタQ 11、Q 13の回路と同様に動作し、同じく漏れ電流I sと同じ電流値の電流が生成される。このトランジスタQ 11、Q 13の回路とトランジスタQ 12、Q 14の回路と組み合わせることにより、図4(g)に示すような補償電流I v2が生成される。

【0065】そして、この補償電流I v2を、漏れ電流I sとは逆向きにしてコンデンサC 8、C 9を介して接地ラインに供給することにより、漏れ電流I sは、図4(h)に示すように小さくなる。これにより、コモンモードノイズを低減できる。

【0066】次に増幅回路22の動作について説明する。増幅回路22は、主増幅器22aと、補正増幅器22bと、を備えて構成される。主増幅器22aは、トランジスタQ 11、12からなり、補正増幅器22bは、トランジスタQ 13、14からなる。

【0067】この増幅回路22の増幅原理を図5に基づいて説明する。尚、ここでは、増幅回路22のコンデンサC 8、C 9を、それぞれ抵抗R 11、R 12に置き換えて説明する。

【0068】零相交流器21の1次巻線n 1に、1次電流I 1が流れると、2次巻線n 12には、1次電流I 1に基づいて電流I 2が誘起される。2次巻線n 12の巻き方向は、この電流I 2が増幅されて、漏れ電流を相殺

(8)

特開2003-250269

13

する方向に、接地ラインに流れるように設定される。

【0069】抵抗R11には、電流値が電流I₂とほぼ等しい電流I₁₁が流れる。また、抵抗R12には、抵抗R11に印加される電圧と等しい電圧が印加される。従って、抵抗R12に流れる電流I₁₂の電流値は式(5)によって表される。

$$[数5] I_{12} = I_2 \times r_{11} / r_{12} \dots (5)$$

但し、I₂：抵抗R12に流れる電流I₂の電流値
I₁₁：電流I₁₁の電流値

r₁₁：抵抗R11の抵抗値

r₁₂：抵抗R12の抵抗値

また、増幅回路22の利得は、以下の式(6)によって表される。

$$[数6] A = (1 + r_{11} / r_{12}) \dots (6)$$

但し、A：増幅回路22の利得

【0070】この式(6)が示すように、増幅回路22の利得は、抵抗R11とR12との抵抗値の比に基づいて設定され、この抵抗値比を替えれば、増幅回路22の利得が変わる。

【0071】例えば、零相変流器21の検出比に誤差が生じた場合、抵抗R11、R12の抵抗値比を替え、増幅回路22の利得を調整することにより、零相変流器21と増幅回路22との総合利得を1にすることができる。

【0072】以上説明したように、本実施の形態によれば、増幅回路22の主増幅器22aと並列に補正増幅器22bを設けるようにしたので、簡単な回路で容易に増幅回路22の利得を調整することができ、零相変流器21の検出比に誤差が生じた場合でも、増幅回路22の利得を調整することにより、零相変流器21と増幅回路22との総合利得を1にすることができる。

【0073】また、増幅率の調整に、零相変流器21の巻数の調整がないため、零相変流器21の巻数を増やすこともなく、零相変流器21を小型化することができ、増幅回路22に精度の高いものを用いる必要もないため、安価にことができる。

【0074】また、電力変換装置内を伝播する漏れ電流を検出し、その検出電流に基づいて補償電流を接地ラインに供給する方法を用いることができるので、ノイズフィルタ部1も小型化され、漏れ電流の大きなフィルタを構成することができる。

【0075】尚、本発明を実施するにあたっては、種々の形態が考えられ、上記実施の形態に限られるものではない。例えば、主増幅器が補正増幅器を兼用することもできる。その回路構成を図6に示す。また、その原理図を図7に示す。この増幅回路22では、トランジスタQ

14

11、Q12が補正増幅器22bを兼用する。

【0076】図6に示す増幅回路22では、トランジスタQ11、Q12のエミッタ電位は、ベース電圧とほぼ等しくなる。また、トランジスタQ11、Q12のエミッタから電流を流してもベース側負荷には影響しないことになる。この点に着目すると、主増幅器22aが補正増幅器22bを兼用することが可能となる。このように、主増幅器22aが補正増幅器22bを兼用することにより、新たな増幅器を備えずに増幅回路22の利得を調整することができる。

【0077】また、図8、図9に示すように、バイオペラトランジスタQ11、Q12、Q13、Q14の代わりに、それぞれ、電界効果トランジスタFET11、FET12、FET13、FET14を用いることができる。電界効果トランジスタを用いた場合、ゲート電流がほぼ零となることから、より高性能の増幅回路を構成することができる。

【0078】

【発明の効果】以上説明したように、本発明によれば、増幅率の容易な調整が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る電力変換装置の構成を示すブロック図である。

【図2】(a)は図1の零相変流器を示す回路図であり、(b)は零相変流器の斜視図であり、(c)は零相変流器の斜視図である。

【図3】図1の増幅回路の構成を示す回路図である。

【図4】図1の電力変換装置の動作を示すタイミングチャートである。

【図5】増幅回路の増幅原理を示す説明図である。

【図6】主増幅器が補正増幅器を兼用した増幅回路の構成を示す回路図である。

【図7】図6の増幅回路の増幅原理を示す説明図である。

【図8】図3に示す増幅回路のトランジスタの代わりにFETを用いた場合の構成を示す回路図である。

【図9】図6に示す増幅回路のトランジスタの代わりにFETを用いた場合の構成を示す回路図である。

【図10】ノイズ低減の原理を示す説明図である。

【符号の説明】

1 ノイズフィルタ部

3 電力変換回路部

4 ノイズ低減回路部

21 零相変流器

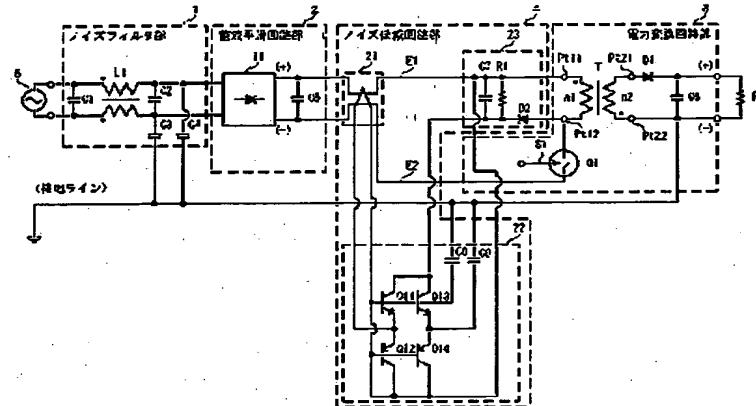
22 増幅回路

23 ダイオードスナバ回路

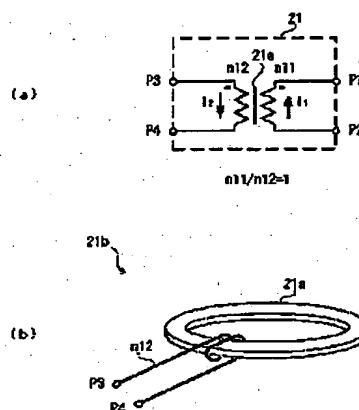
(9)

特開2003-250269

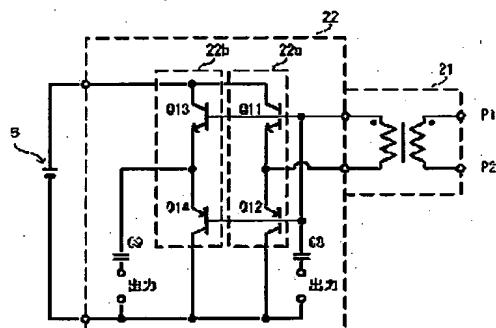
【図1】



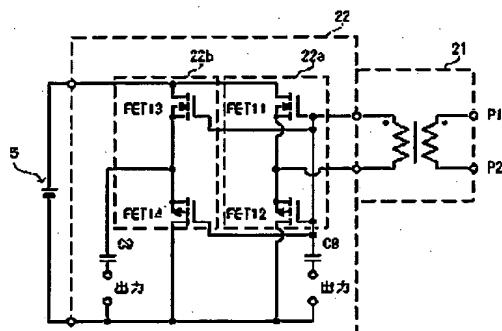
【図2】



【図3】



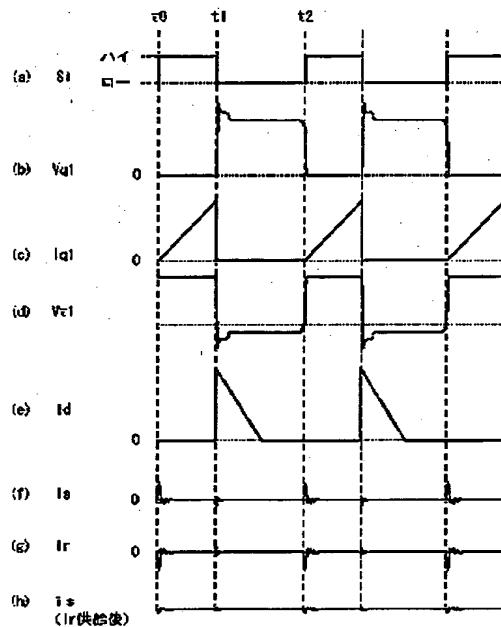
【図8】



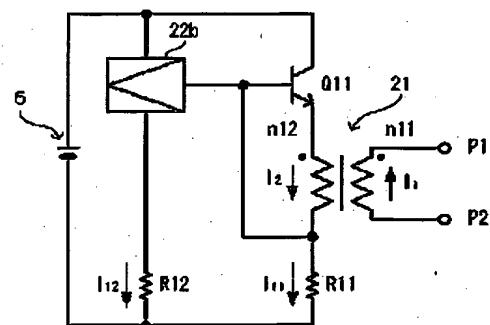
(10)

特開2003-250269

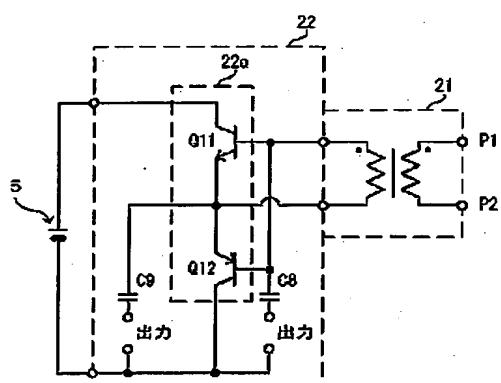
【図4】



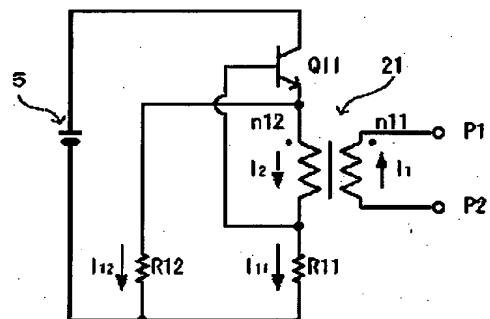
【図5】

 $i = i + i \times (r_{11}/r_{12})$ (i: 電流Iの電流値) $i_2 = i$ (i2: 電流I2の電流値) $i_{11} = i$ (i11: 電流I11の電流値) $i_{12} = i \times (r_{11}/r_{12})$ (i12: 電流I12の電流値)

【図6】



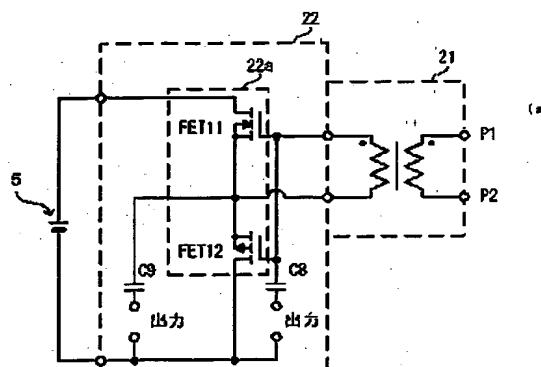
【図7】

 $i = i + i \times (r_{11}/r_{12})$ (i: 電流Iの電流値) $i_2 = i$ (i2: 電流I2の電流値) $i_{11} = i$ (i11: 電流I11の電流値) $i_{12} = i \times (r_{11}/r_{12})$ (i12: 電流I12の電流値)

(11)

特開2003-250269

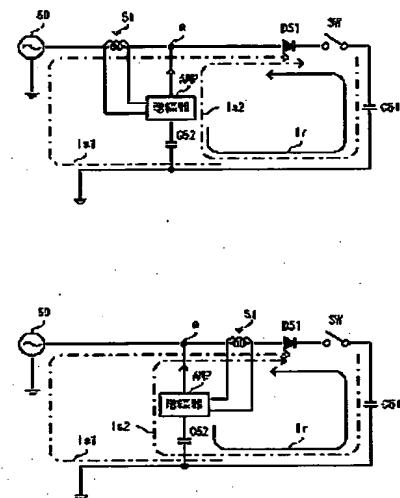
【図9】



(a)

(b)

【図10】



フロントページの続き

F ターム(参考) 5H730 AA02 BB43 CC01 CC03 DD01
 DD41 EE02 EE07 FD41
 5J092 AA01 AA18 CA44 CA50 FA00
 FR02 HA08 HA10 HA17 HA29
 HA35 MA18 MA21 SA16 TA01
 TA06
 5J500 AA01 AA18 AC44 AC50 AF00
 AH08 AH10 AH17 AH29 AH35
 AM18 AM21 AS16 AT01 AT06
 RF02